

2021年度 授業シラバスの詳細内容

○基本情報			
科目名	3D_CAD応用 (Applied 3D CAD)		
ナンバリングコード	P31205	大分類 / 難易度 科目分野	情報メディア学科 専門科目 / 応用レベル 視覚デザイン
単位数	2	配当学年 / 開講期	3年 / 後期
必修・選択区分	コース選択必修:情報コミュコース 選択:情報工学コース、メディアデザインコース、こども・情報教育コース ※入学年度及び所属学科コースで異なる場合がありますので、学生便覧で必ず確認してください。		
授業コード	P120552	クラス名	松永クラス
担当教員名	松永 多苗子		
履修上の注意、履修条件	「情報システム回路」を履修していることが望ましいです。本授業後半では、グループで課題制作に取り組みます。活動に支障がありますので、欠席することのないよう注意してください。		
教科書	授業内容に合わせて資料を配布します。		
参考文献及び指定図書	わかるVerilog HDL入門—文法の基礎から論理回路設計、論理合成、実装まで (トランジスタ技術 SPECIAL), 木村真也著, CQ出版		
関連科目	情報システム回路入門		

○基本情報			
授業の目的	「3D CAD応用-FPGAクラス」では、ハードウェア設計を支援するための CAD (Computer Aided Design) 技術に着目し、ハードウェア記述言語 (HDL) と LSI CAD ツールを用いた回路設計手法を修得することを目的とします。現在身の回りに様々な電子機器が存在し、社会において重要な役割を果たしています。それらの機能を実現するためにマイコンが使われることが多いですが、特定の機能に特化した専用の回路として実現する方が性能面で優位な場合があります。本授業では、FPGA という書き換え可能なデバイスを対象として、FPGA とマイコンとの違いや、FPGA の用途を理解します。さらに、回路の機能や構造を言語で表現する方法、および、ツールを用いて回路を実現する手法について学修します。		
授業の概要	前半では、まず汎用回路上での実行と専用回路での実行の違いを解説し、専用回路で実現することの意味や用途を学びます。さらに、回路の実現に用いるFPGAというデバイスの構造や、FPGAを対象とした設計ツールの概要、および、HDLの学習を行います。後半では、まずHDLと設計ツールを用いて、基礎的な回路の設計実習を行います。その後、グループで設計対象を定め、FPGA上に回路を実装し動作確認を行い、最後にその成果を発表します。		
授業の運営方法	(1) 授業の形式	「演習等形式」	
	(2) 複数担当の場合の方式	「該当しない」	
	(3) アクティブ・ラーニング	「グループワーク」	
地域志向科目	該当しない		
実務経験のある教員による授業科目	松永多苗子 本クラスの学習内容である LSI CAD 分野において、企業*における研究・開発実績がある。 * (株)富士通研究所 (19年: LSI CAD アルゴリズム・ツールの研究開発) (株)ロジック・リサーチ (2.5年: ハードウェア記述言語のスタイルチェッカ開発)		

○成績評価の指標		○成績評価基準(合計100点)		
到達目標の観点	到達目標	テスト (期末試験・中間確)	提出物 (レポート・作品等)	無形成果 (発表・その他)
【関心・意欲・態度】	社会における電子機器の重要性を意識し、それらの機能を実現するための知識の修得にむけて、高い関心をもって取り組むことができる。			20点
【知識・理解】	①マイコンとFPGAとの違いを理解できる。 ②HDLを用いた設計手法を理解できる。 ③FPGAを対象とした設計フローを理解できる。		20点	10点
【技能・表現・コミュニケーション】	①HDLと設計ツールを用いてFPGA上に回路を実現・動作確認でき、不具合に対応できる。 ②グループで設計作業に取り組むにあたって、適切に役割を分担し、協力して作業を進めることができる。			20点
【思考・判断・創造】	設計課題に取り組むにあたって、授業で得られた知識を用いて、独自性を付加することができる。		20点	10点

○成績評価の補足(具体的な評価方法および期末試験・レポート等の学習成果・課題のフィードバック方法)	
到達目標に対する達成水準の目安は以下の通りです。 [Sレベル]単位を取得するために達成すべき到達目標を満たしている。(成績評価基準点の合計が90点以上) [Aレベル]単位を取得するために達成すべき到達目標をほぼ満たしている。(成績評価基準点の合計が80点~89点) [Bレベル]単位を取得するために達成すべき到達目標をかなり満たしている。(成績評価基準点の合計が70点~79点) [Cレベル]単位を取得するために達成すべき到達目標を一部満たしている。(成績評価基準点の合計が60点~69点) 成果発表会の講評は、発表会後の時間を使って行います。最終レポートの講評は、ユニバーサルパスポートのクラスプロファイルに掲載します。	

○その他	
成績評価における基準は、以下の通りです。 【関心・意欲・態度】 毎回の実習への取り組み姿勢を評価します。授業に無断欠席や遅刻・早退があると、減点されます。 【知識・理解】【技能・表現・コミュニケーション】【思考・判断・創造】 最終レポートと成果発表会で判断します。採点基準は最終課題に取り組む時点で提示します。 その他の参考資料 入門Verilog HDL記述—ハードウェア記述言語の速習&実践 (Design wave basic), 小林優著, CQ出版 「FPGAの原理と構成」, 天野英晴著, オーム社 「FPGAボードで学ぶ組み込みシステム開発入門 Intel FPGA編 (改訂2版)」, 小林優著, 技術評論社	

2021年度 授業シラバスの詳細内容

○授業計画	科目名 担当教員	3D CAD応用 (Applied 3D CAD) 松永 多苗子	授業コード	P120552
学修内容				
1. ガイダンス 授業内容及び授業の進め方について説明します。				
予習	HDL(ハードウェア記述言語)について調査する。			約2時間
復習	ガイダンス資料(配布)により, HDLからの設計の流れを理解する。			約2時間
2. FPGAを対象とした回路設計の基礎知識 FPGAの概要, FPGAを対象とした設計のプロセス, および, HDLの概要について説明します。 合わせて, 本授業で使用する設計ツールの基本的な使用方法を学びます。				
予習	FPGAについて調査する。			約2時間
復習	配布資料「FPGA設計」			約2時間
3. Verilog HDL の文法の概要, 組合せ回路記述 本授業で使用する Verilog HDL の文法を学び, 基本的な組合せ回路の記述を学習します。 設計ツールを使って, 記述のチェックを行います。				
予習	配布資料「Verilog HDL の基礎」, 「組合せ回路記述」を読んでおく。			約2時間
復習	復習問題「Verilog HDL の基礎」, 「組合せ回路記述」			約2時間
4. 順序回路記述(フリップフロップ) 前回の復習問題のフィードバックをします。 Verilog HDL での基本的な記憶回路の記述を学習し, 設計ツールを使って記述のチェックを行います。				
予習	配布資料「順序回路記述1」を読んでおく。			約2時間
復習	復習問題「順序回路記述1」			約2時間
5. 順序回路記述(カウンタ) 前回の復習問題のフィードバックをします。 Verilog HDLでの基本的な順序回路の記述を学習し, 設計ツールを使って記述のチェックを行います。				
予習	配布資料「順序回路記述2」を読んでおく。			約2時間
復習	復習問題「順序回路記述2」			約2時間
6. 階層記述 前回の復習問題のフィードバックをします。 Verilog HDL での階層記述の概念, および, 記述方法を学習し, 設計ツールを使って記述のチェックを行います。				
予習	配布資料「階層記述」を読んでおく。			約2時間
復習	復習問題「階層記述」			約3時間
7. FPGA設計フロー 前回の復習問題のフィードバックをします。 FPGAボード DE10-Lite を対象とした設計フローを学びます。これまでに作成した回路を, DE10-Liteに書き込み, 動作確認を行います。				
予習	配布資料「FPGA設計フロー」を読んでおく。			約2時間
復習	時間内で終わらなかった回路の動作確認を行う。			約3時間
8. 設計実習1 グループ単位で, 基本的な回路を組み合わせてより複雑な回路を設計し, FPGA上で動作確認を行います。				
予習	配布資料「設計実習1」を読んでおく。			約2時間
復習	設計実習1について, 実験レポートを作成する。			約2時間

○授業計画	科目名 担当教員	3D CAD応用 (Applied 3D CAD) 松永 多苗子	授業コード	P120552
学修内容				
9. 設計実習2 提出された実験レポートをもとに, 前回の設計課題についてのフィードバックをします。 グループ単位で, 設計した回路を改良し, FPGA上で動作確認を行います。				
予習	配布資料「設計実習2」を読んでおく。			約2時間
復習	設計実習2について, 実験レポートを作成する。			約2時間
10. 設計実習3 提出された実験レポートをもとに, 前回の設計課題についてのフィードバックをします。 グループ単位で, 設計した回路に機能を付加し, FPGA上で動作確認を行います。				
予習	配布資料「設計実習3」を読んでおく。			約2時間
復習	設計実習3について, 実験レポートを作成する。			約2時間
11. 課題設定 グループ単位で設計対象とその仕様を定めます。 設計方針や取り組み方, 役割分担を決め, 完成までの計画を立て, 設計に取り組みます。				
予習	これまでの配布資料を見直しておく。			約2時間
復習	設計の進捗状況をまとめ, 課題をリストアップする。			約2時間
12. 設計1 計画に沿って作業を進めます。				
予習	前回の課題に対する解決策を考える。			約2時間
復習	設計の進捗状況をまとめ, 課題をリストアップする。			約2時間
13. 設計2 計画に沿って作業を進めます。				
予習	前回の課題に対する解決策を考える。			約2時間
復習	設計の進捗状況をまとめ, 課題をリストアップする。			約2時間
14. 設計および発表準備 設計を完成させ, 発表準備を行います。				
予習	前回の課題に対する解決策を考える。			約2時間
復習	発表スライドの作成			約2時間
15. 成果発表会・振り返り 設計内容について, グループ単位で発表を行います。				
予習	発表準備。			約2時間
復習	最終レポート作成			約5時間
16.				
予習				
復習				